

MOS FIELD EFFECT TRANSISTOR

Patent Number: JP61160975
Publication date: 1986-07-21
Inventor(s): ODANAKA SHINJI; others: 02
Applicant(s): MATSUSHITA ELECTRIC IND CO LTD
Requested Patent: JP61160975
Application Number: JP19850001065 19850108
Priority Number(s):
IPC Classification: H01L29/78
EC Classification:
Equivalents: JP4082064B

Abstract

PURPOSE: To keep low the coefficient of sub-threshold current, and to reduce VT variations due to drain voltage, by a method wherein a high concentration impurity layer which inhibits the elongation of the drain voltage potential is formed immediately under a channel region at the sides of source-drain regions.

CONSTITUTION: After an N-well 7 is formed by a normal process, a P-type channel region 5 is formed by ion implantation through the oxide film; then, a 100Angstrom gate oxide film 3 and a gate electrode 2 are formed. Next, N<+> layers 6 are formed immediately under the P-type channel region 5 by implanting e.g. phosphorus at 130kev and at a dosage of $1.0 \times 10^{12} / \text{cm}^2$. After deposition of SiO₂, an SiO₂ side wall 4 is formed by etching removal; thereafter, source- drain region 1 are formed. Then, a MOSFET is completed. Since the MOSFET thus obtained has a high concentration impurity layer 6 of reverse conductivity type to that of the channel region 5 formed immediately under the region 5 at the sides of the source-drain regions 1, the coefficient of sub-threshold current is small, and VT variations due to drain voltage can be inhibited.

Data supplied from the esp@cenet database - 12

⑫ 公開特許公報(A)

昭61-160975

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)7月21日

H 01 L 29/78

8422-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 MOS型電界効果トランジスタ

⑮ 特 願 昭60-1065

⑯ 出 願 昭60(1985)1月8日

⑰ 発 明 者	小 田 中 紳 二	門真市大字門真1006番地	松下電器産業株式会社内
⑰ 発 明 者	福 本 正 紀	門真市大字門真1006番地	松下電器産業株式会社内
⑰ 発 明 者	大 曾 根 隆 志	門真市大字門真1006番地	松下電器産業株式会社内
⑰ 出 願 人	松下電器産業株式会社	門真市大字門真1006番地	
⑰ 代 理 人	弁理士 中尾 敏 男	外 1 名	

明 細 書

1. 発明の名称

MOS型電界効果トランジスタ

2. 特許請求の範囲

一方の導電型の半導体基板と、この基板上に選択的に形成された絶縁膜と、この絶縁膜の直下に形成された前記基板と反対の導電型のチャネル領域と、前記チャネル領域の側部に選択的に形成された前記基板と反対の導電型のソース、ドレイン領域を備え、前記チャネル領域の直下の一部でかつ前記ソース、ドレイン領域の側部に、前記一方の導電型の高濃度不純物層を設けたことを特徴とするMOS型電界効果トランジスタ。

3. 発明の詳細な説明

産業上の利用分野

本発明は、埋込みチャネルMOS型電界効果トランジスタをサブミクロン域にまで微細化をすすめる際に劣化するサブスレッショルド域電気特性を改善できるサブミクロン埋込みチャネル形のMOS型電界効果トランジスタ(MOSFET)

に関するものである。

従来の技術

超集積回路装置いわゆるVLSIにおいて、CMOS技術の重要性が増すにつれ、p-チャネルMOSFETの微細化が急速に進んでいる。しかし、ポーリSiゲートを使用するとき、p-チャネルMOSFETのチャネル領域はソース、ドレイン領域と同じ導電型になる、いわゆる埋込みチャネルMOSFETになる。埋込みチャネルMOSFETは、チャネル領域がソース、ドレイン領域と反対の導電型になるいわゆる表面チャネルMOSFETに比較して、ドレイン近傍の電界強度が低く、ホットエレクトロン効果に対して強いデバイス構造を有しており、また、移動度の劣化も少なく高速のMOSFETが得られる。このことは、仕事関数をコントロールすることによってn-チャネルMOSFETに対しても同様の効果が期待できる。

しかし、埋込みMOSFETはサブミクロン域への微細化に際して、ドレイン電圧のSiO₂-Si

界面のポテンシャル ϕ_s への影響が大きく、サブスレッシュョルド域のリーク電流の増大、スレッシュョルド電圧 V_T のドレイン電圧依存性を強くする。これに対処するよう、例えば、IEEE Transactions Electron Devices ED-31 pp. 964~968 に K. I. T. M. C. H. A. M. 等が開示のように、第7図のような構造になっていた。すなわち、図において、11はソース、ドレイン領域、12はゲート電極、13はゲート酸化膜、14は側壁酸化膜、15はp型チャネル領域、16は n^+ 層、17はローウェルである。この構造ではソース、ドレイン接合深さを浅くするとともに、チャネル接合深さを浅くするために、 BF_3 によるチャネルドーピングとともに A_s をイオン注入して、チャネル接合深さを浅く形成するとともに n^+ 層16をチャネル領域15の直下に形成していた。

発明が解決しようとする問題点

しかし、このような構造ではサブスレッシュョルド電流係数を低くおさえることができるが、ドレ

すなわち、チャネル領域直下の一部でソース、ドレイン領域側部に前記チャネルドーピングの領域と前記ソース、ドレイン領域の中間の深さ位置にピーク濃度値をもつチャネル領域と反対導電型の不純物層を形成することによって、従来のように反対導電型の不純物層を形成し、チャネル接合深さを浅くすることによるチャネル領域の表面濃度の増大を少なくし、かつ、ドレイン電圧のポテンシャルの伸びを抑制するものである。この結果、従来のようにドレイン電圧の変動による V_T 変動がみられない埋込みチャネルMOSFETを得られるものである。

実施例

以下、本発明の一実施例を第1図～第7図にもとづいて説明する。第1図において、1はp型ソース、ドレイン領域、2はゲート電極、3はゲート酸化膜、4は側壁酸化膜、5はソース、ドレイン領域と同導電型のp型チャネル領域であり、チャネル領域と反対導電型のn型高濃度不純物層6が形成されている。また、7はローウェルである。

イン電圧によるサブスレッシュョルド電圧 V_T 変動を低くおさえることができない。

これは、第5図の曲線で示すようにサブスレッシュョルド電圧 V_T を一定にして、浅いチャネル接合を得ようとすれば、チャネルドーピングのドーズ量を増大させて、表面濃度値を高くせねばならず、ドレイン電圧の影響をおさえることができないためである。

そこで、本発明はサブスレッシュョルド電流係数を低く抑えようとするとともに、ドレイン電圧によるポテンシャルの伸びを抑制して、ドレイン電圧による V_T 変動を小さくするものである。

問題点を解決するための手段

そして前記問題点を解決する本発明の技術的手段は、前記チャネル領域直下の一部でかつソース、ドレイン領域側部に、ドレイン電圧によるポテンシャルの伸びを抑制する高濃度不純物層を形成するものである。

作用

この技術的手段による作用は次のようになる。

第2図～第4図は、第1図に示された $0.6\mu m$ のゲート長をもつp型埋込みチャネルMOSFETの製造工程を説明するものである。第2図に示すごとく、通常工程にしたがってローウェル7を形成した後、スレッシュョルド電圧 V_T 制御用の BF_3 を $40keV$ 、ドーズ量 $3.2 \times 10^{12}/cm^2$ で $200^\circ A$ の酸化膜を通してイオン注入して、p型チャネル領域5を形成し、 $100^\circ A$ のゲート酸化膜3とゲート電極2を選択的に形成する。次に第3図のように、炉を $130keV$ 、ドーズ量 $1.0 \times 10^{12}/cm^2$ で注入し、p型チャネル領域5の直下に n^+ 層6を形成する。次に第4図のごとく化学蒸着法いわゆるCVD法で SiO_2 を堆積した後、エッチング除去を行なって SiO_2 側壁4を形成した後、自己整合的にソース、ドレイン領域1を BF_3 を $40keV$ 、ドーズ量 $3 \times 10^{15}/cm^2$ で注入して形成する。この後、図示していないが周知の方法でMOSFETを完成させる。

このようにして得られたMOSFETは第5図の曲線8で示すようにチャネル接合深さを浅くし

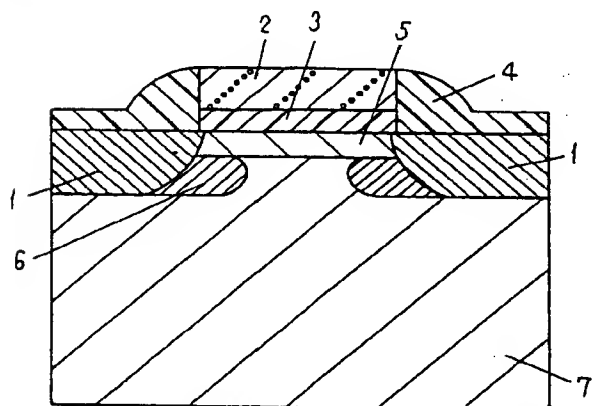
ても従来のように(曲線9)チャネル領域の不純物表面濃度が増大することはない。また第6図に曲線10, 11で示すのは、本実施例のMOSFET(ゲート長 $0.5\mu\text{m}$)ドレイン電圧 V_D が -3V のときのドレイン電流 I_D 値、ドレイン電圧 V_D が -0.5V のときのドレイン電流 I_D 値をゲート電圧 V_G を変化させて測定したものであるが、同じ条件で測定した従来のMOSFET(ゲート長 $0.5\mu\text{m}$)の測定曲線10A, 11Aと比較してわかるように、本実施例のMOSFETはドレイン電圧の変動による V_T 変動が軽減される。

発明の効果

以上説明したように本発明は埋込みチャネル形のMOS型電界効果トランジスタであって、チャネル領域の直下の一部でソース、ドレイン領域の側部にチャネル領域と反対導電型の高濃度不純物層を形成しているため、サブスレッショルド電流係数が小さく、ドレイン電圧による V_T 変動をおさえることができる。

4. 図面の簡単な説明

第1図



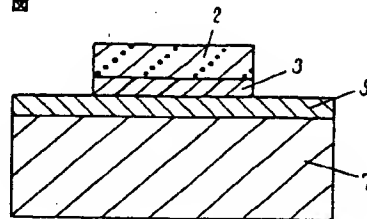
- 1—P型ソース/ドレイン領域
- 2—ゲート電極
- 3—ゲート酸化膜
- 4—側壁酸化膜
- 5—P型チャネル領域
- 6—n型高濃度不純物層
- 7—n+ウェル

第1図は本発明の一実施例における埋込みチャネル形のMOS型電界効果トランジスタの断面図、第2図～第4図は同トランジスタの製造プロセスを説明する断面図、第5図は同トランジスタのチャネル接合深さと不純物分布の関係を従来のものと比較して示す特性図、第6図は本実施例のMOS型電界効果トランジスタの I_D-V_G 特性を従来のものの特性と比較して示す特性図、第7図は従来のMOS型電界効果トランジスタの断面図である。

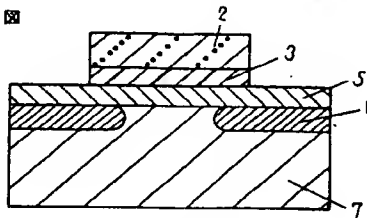
1……ソース、ドレイン領域、2……ゲート電極、3……ゲート酸化膜、4……側壁酸化膜、5……P型チャネル領域、6……n型高濃度不純物層、7……n+ウェル。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

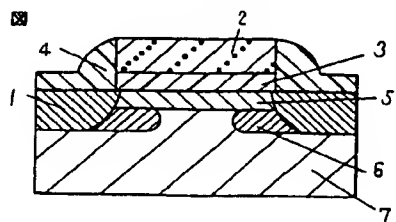
第2図



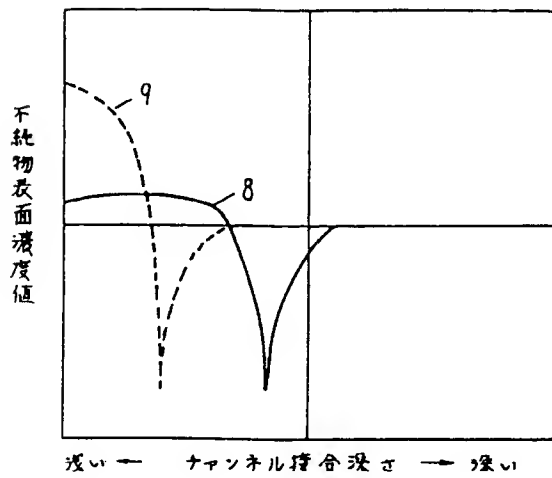
第3図



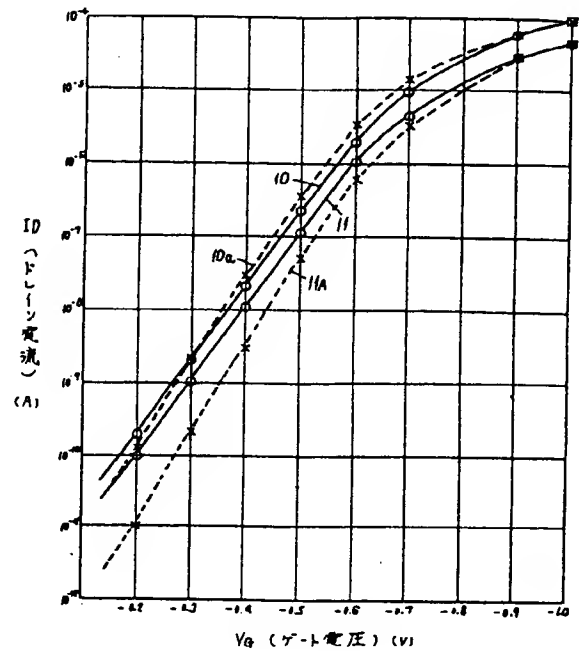
第4図



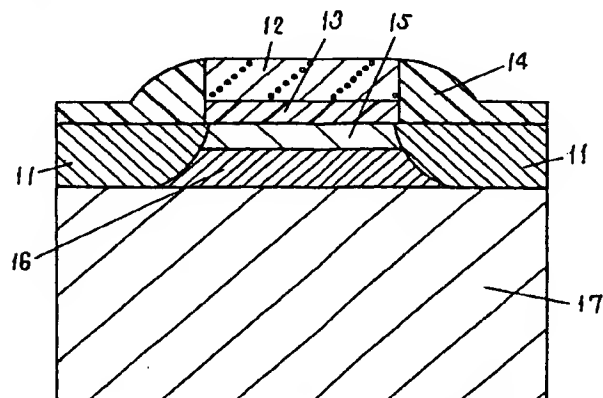
第 5 図



第 6 図



第 7 図



- 11---ソース、ドレイン領域
- 12---ゲート電極
- 13---ゲート酸化膜
- 14---側壁酸化膜
- 15---p型チャネル領域
- 16---n⁺層
- 17---nウェル